

제4장 논리게이트

4.1 논리 레벨

- 논리회로를 구성하는 논리게이트는 1개 이상의 입력과 1개의 출력으로 구성
 ⇒ 디지털 시스템에서는 전압이나 전류를 0 또는 1로 취급
- 디지털 회로에서는 논리 0과 1을 구분하기 위해 지정된 전압 영역에서 동작
 ⇒ 그림 4.1은 디지털 시스템에서 허용하는 전압 영역을 표시

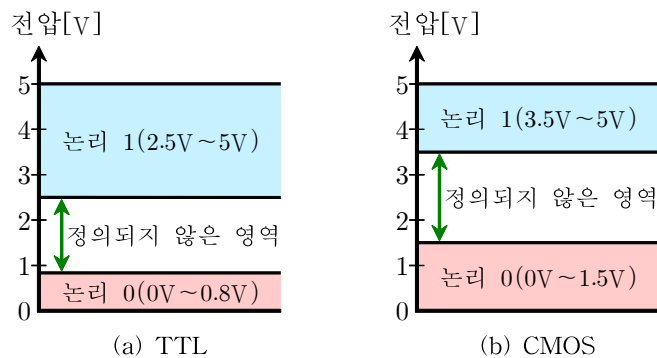


그림 4.1 TTL과 CMOS 논리 레벨 정의 영역

- 논리게이트는 그림 4.2와 같이 스위치 역할을 하는 트랜지스터로 구성
 ⇒ 컬렉터(collector), 베이스(base), 에미터(emitter)로 구성

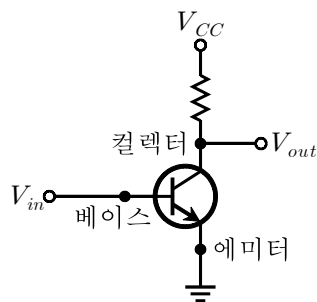


그림 4.2 트랜지스터

- 입력전압 V_{in} 이 임계값보다 작으면 트랜지스터의 출력전압 V_{out} 은 $+V_{CC}$
 ⇒ V_{in} 이 임계값보다 크면 출력전압 V_{out} 은 0V(부정 논리 : NOT)
- 논리회로에서 논리 1을 High($+V_{CC}$), 논리 0을 Low(ground) 전압으로 표시
 ⇒ 디지털 시스템은 여러 가지 논리게이트가 모여 논리회로를 구성
 ⇒ 논리게이트는 AND, OR, NOT, NAND, NOR, XOR, XNOR 등

4.2 NOT 게이트와 버퍼 게이트

◎ NOT 게이트

- 인버터(inverter)라고도 하며 부정 논리를 수행하여 2진수의 논리 반전을 형성
 - ⇒ 입력이 0(off)이면 출력은 1(on), 입력이 1(on)이면 출력은 0(off)
 - ⇒ NOT은 논리식 \bar{A} 나 A' 으로 표시
- 그림 4.3은 NOT 게이트의 진리표, 동작파형, 논리기호, IC 7404 칩을 표시
 - ⇒ 진리표는 게이트의 모든 입력 조합에 따른 출력 결과를 표시
 - ⇒ 동작파형은 시간에 따라 입력과 출력의 변화를 표시

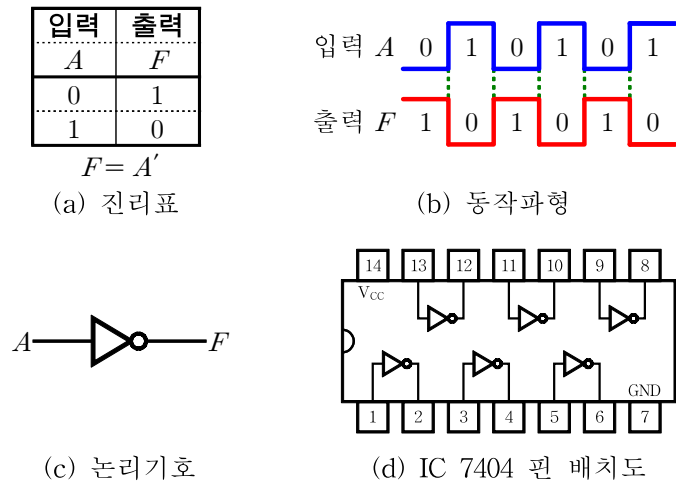


그림 4.3 NOT 게이트의 기본 개념

- NOT 게이트는 그림 4.4(a)의 회로나 그림 4.4(b)의 트랜지스터 회로로 표시
 - ⇒ 입력 $A = 0V$ 이면 트랜지스터는 차단되어 출력 $F = V_{CC} = +5V$
 - ⇒ 입력 $A = +5V$ 이면 트랜지스터는 도통되어 출력 $F \approx 0V$

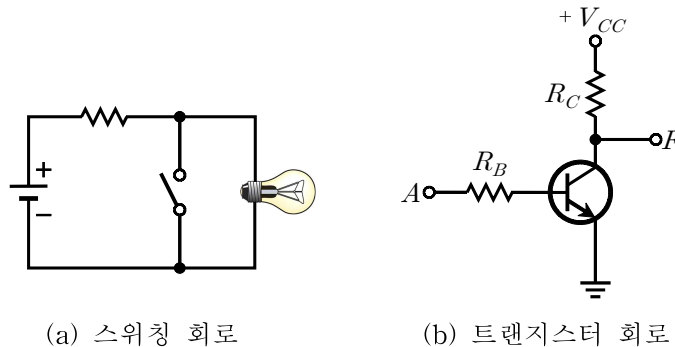


그림 4.4 NOT 게이트의 회로 표현

【예제 4.1】 다음과 같은 회로의 입력 A 에 구형파를 인가하였다. 출력 X 와 Y 의 파형을 그려보아라.



그림 4.5 NOT 게이트 두 개를 직렬로 연결한 회로

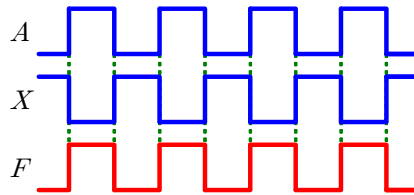


그림 4.6 NOT 게이트를 직렬로 연결한 회로의 입출력 파형

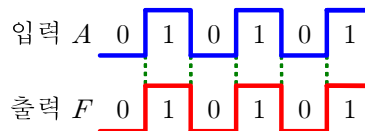
◎ 버퍼(Buffer) 게이트

- 그림 4.7(b)와 같이 입력된 신호를 변경하지 않고 입력된 상태 그대로 출력
 ⇒ 입력이 0이면 출력도 0, 입력이 1이면 출력도 1

입력	출력
A	F
0	0
1	1

$F = A$

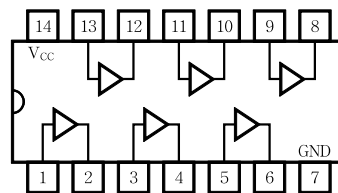
(a) 진리표



(b) 동작파형



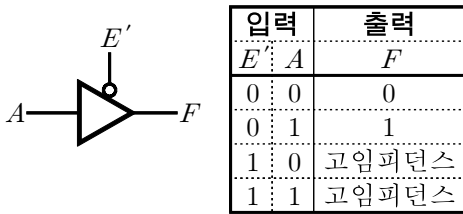
(c) 논리기호



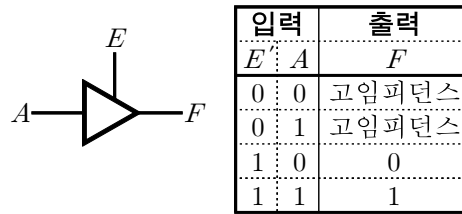
(d) IC 7407 핀 배치도

그림 4.7 버퍼의 기본 개념

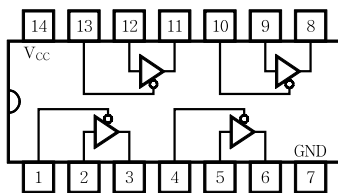
- 3상태 버퍼는 3개 레벨(Low, High, 고임피던스) 중 하나를 출력하는 논리소자
 ⇒ 제어단자 $E(E')$ 는 입력단자 A 와 출력단자 F 사이의 회로를 개폐
 ⇒ 그림 4.8은 3상태 버퍼의 진리표, 논리기호, IC 핀 배치도를 표시



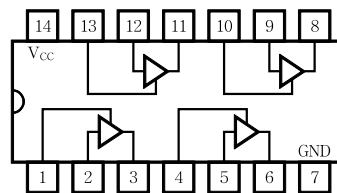
(a) 제어 단자가 Low일 때 동작



(b) 제어 단자가 High일 때 동작



(c) IC 74125 핀 배치도



(d) IC 74126 핀 배치도

그림 4.8 3상태 버퍼의 논리기호, 진리표 및 IC

- 그림 4.8(a)에서 제어단자 E' 가 Low이면 버퍼로 동작, E' 이 High이면 비동작
 ⇒ 그림 4.8(b)에서는 E 가 High이면 버퍼로 동작, Low이면 비동작

【예제 4.2】 그림 4.8(b)에서 입력 A 와 제어단자 E 에 그림 4.9와 같은 파형을 인가하였다. 출력 F 의 파형을 그려보아라.

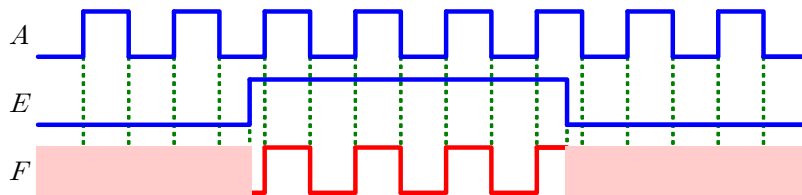


그림 4.9 제어단자가 High일 때 동작하는 버퍼회로의 동작

- 제어단자 E 가 High인 구간에서는 입력 A 의 파형이 출력 F 로 그대로 형성
 ⇒ E 가 Low인 구간에서는 출력 F 가 고임피던스 상태

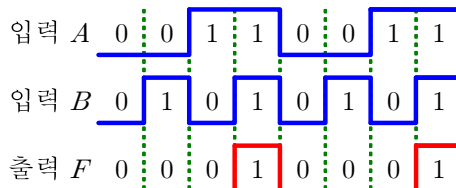
4.3 AND 게이트

- 논리곱이라고도 하며 모든 입력이 1(on)일 때만 출력이 1(on)인 게이트
 - ⇒ 입력 중 어느 하나라도 0(off)이 있으면 출력은 0(off)
 - ⇒ AND 게이트의 출력에 대한 논리식은 $F=AB$ 로 표시
- 그림 4.10은 2입력 AND의 진리표, 동작파형, 논리기호, IC 7408 칩을 표시

입력		출력
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

$F = AB$

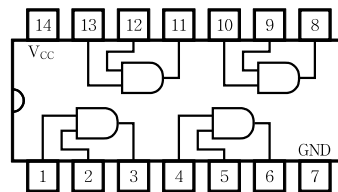
(a) 진리표



(b) 동작파형



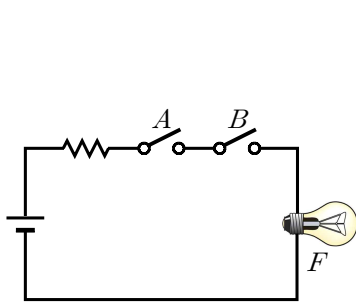
(c) 논리기호



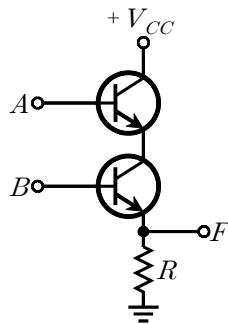
(d) IC 7408 핀 배치도

그림 4.10 2입력 AND 게이트의 기본 개념

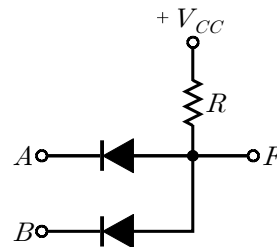
- 그림 4.11(a)의 스위칭 회로로 표시, 스위치 A, B 모두 닫혔을 때 전구 점등
- 그림 4.11(b)에서 $A=B=+5V$ 이면 트랜지스터가 모두 도통되어 출력 $F=+5V$
 - ⇒ $A=0V$ 또는 $B=0V$ 이면 트랜지스터가 차단되어 출력 $F \approx 0V$
- 그림 4.11(c)에서 $A=B=+5V$ 이면 다이오드가 모두 차단되어 출력 $F=+5V$
 - ⇒ $A=0V$ 또는 $B=0V$ 이면 해당 다이오드가 도통되어 출력 $F \approx 0V$



(a) 스위칭 회로



(b) 트랜지스터 회로



(c) 다이오드 회로

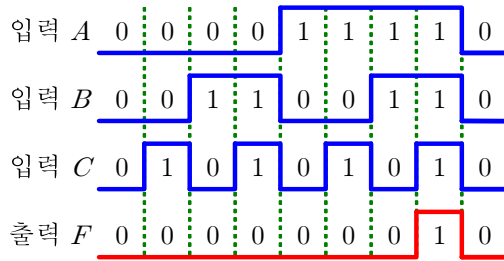
그림 4.11 AND 게이트의 회로 표현

- 그림 4.12는 3입력 AND의 진리표, 동작과형, 논리기호, IC 7411 칩을 표시
 ⇒ 입력이 여러 개인 AND 게이트도 원리는 2입력 AND와 동일

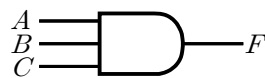
입력			출력
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

$F = ABC$

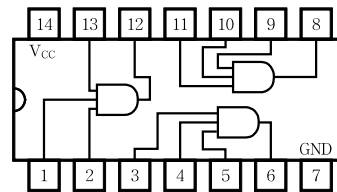
(a) 진리표



(b) 동작과형



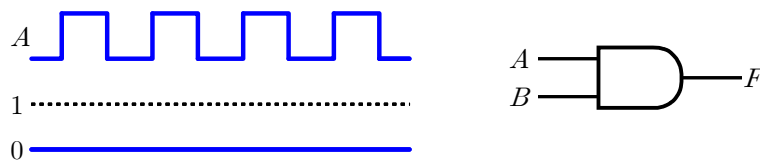
(c) 논리기호



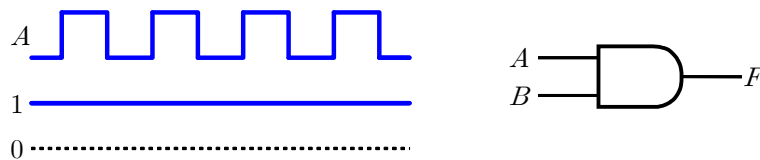
(d) IC 7411 핀 배치도

그림 4.12 3입력 AND 게이트의 기본 개념

【예제 4.3】 2입력 AND 게이트의 한 입력 A에 구형파를 인가하였다. 다른 입력인 B에 0을 인가한 경우와 1을 인가한 경우 각각의 개략적인 출력파형을 그려라.



(a) 입력 B에 0을 인가한 경우



(b) 입력 B에 1을 인가한 경우

그림 4.13 AND 게이트의 동작 특성을 이해하기 위한 예

- (a) 입력 B에 0을 인가하면, 구간 1, 3, 5, 7에서 $A=1, B=0$ 이므로 출력 $F=0$
 \Rightarrow 구간 2, 4, 6에서는 $A=0, B=0$ 이므로 출력 $F=0, F=B$
- (b) 입력 B에 1을 인가하면, 구간 1, 3, 5, 7에서 $A=1, B=1$ 이므로 출력 $F=1$
 \Rightarrow 구간 2, 4, 6에서는 $A=0, B=1$ 이므로 출력 $F=0, F=A$

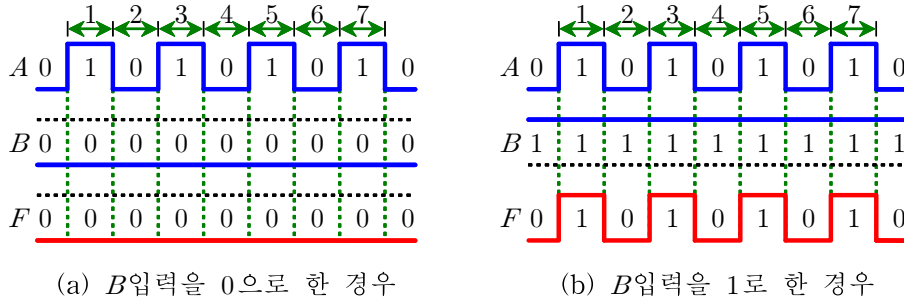


그림 4.14 AND 게이트의 동작 특성 결과

- 그림 4.15는 3입력 AND 게이트를 자동차의 좌석벨트 경보시스템에 사용한 예
- \Rightarrow AND는 점화 스위치가 켜지고 좌석벨트가 풀려 있는 상태를 감지
- \Rightarrow 점화 스위치가 켜지면 AND 게이트의 입력 A는 High
- \Rightarrow 좌석벨트가 채워지지 않으면 AND 게이트의 입력 B도 High
- \Rightarrow 타이머가 작동되어 입력 C가 30초 동안 High로 유지
- \Rightarrow AND 게이트의 출력이 High가 되어 경보음이 발생
- \Rightarrow 경보음은 30초간 울린 후에 정지

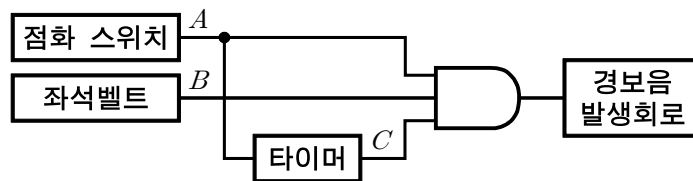


그림 4.15 AND 게이트를 이용한 좌석벨트 경보시스템

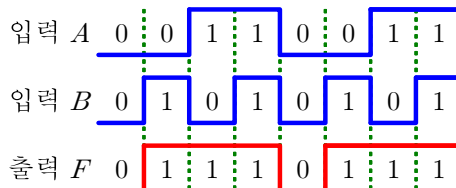
4.4 OR 게이트

- 논리합이라고도 하며 모든 입력이 0(off)일 때만 출력이 0(off)인 게이트
 - ⇒ 입력 중 어느 하나라도 1(on)이 있으면 출력은 1(on)
 - ⇒ OR 게이트의 출력에 대한 논리식은 $F=A+B$ 로 표시
- 그림 4.16은 2입력 OR의 진리표, 동작파형, 논리기호, IC 7432 칩을 표시

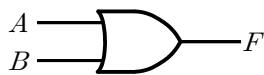
입력		출력
A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

$F = A + B$

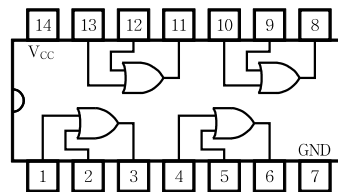
(a) 진리표



(b) 동작파형



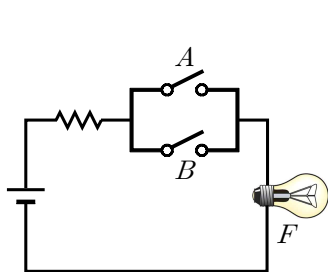
(c) 논리기호



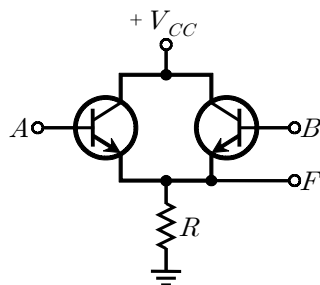
(d) IC 7432 핀 배치도

그림 4.16 2입력 OR 게이트의 기본 개념

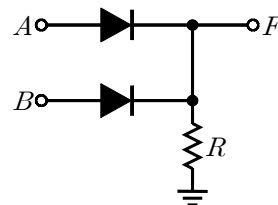
- 그림 4.17(a)의 스위칭 회로로 표시, A, B 중 하나 이상 닫혔을 때 전구 점등
- 그림 4.17(b)에서 $A=+5V$ 또는 $B=+5V$ 이면 트랜지스터가 도통되어 $F=+5V$
 - ⇒ $A=B=0V$ 이면 트랜지스터가 차단되어 출력 $F \approx 0V$
- 그림 4.17(c)에서 $A=+5V$ 또는 $B=+5V$ 이면 다이오드가 도통되어 $F=+5V$
 - ⇒ $A=B=0V$ 이면 모든 다이오드가 차단되어 출력 $F \approx 0V$



(a) 스위칭 회로



(b) 트랜지스터 회로



(c) 다이오드 회로

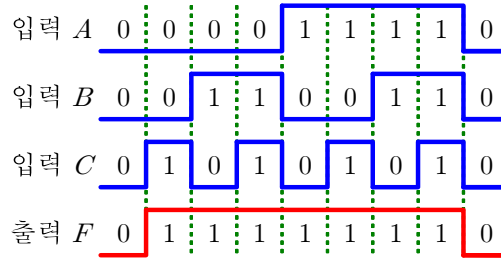
그림 4.17 OR 게이트의 회로 표현

- 그림 4.18은 3입력 OR 게이트의 진리표, 동작파형, 논리기호를 표시
 ⇒ 입력이 여러 개인 OR 게이트도 원리는 2입력 OR와 동일

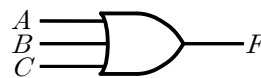
입력			출력
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

$F = A + B + C$

(a) 진리표



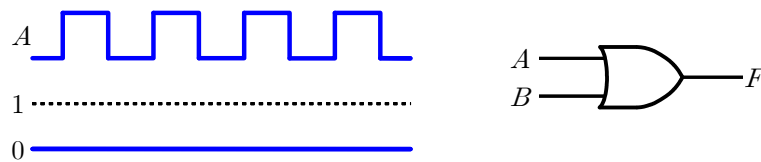
(b) 동작파형



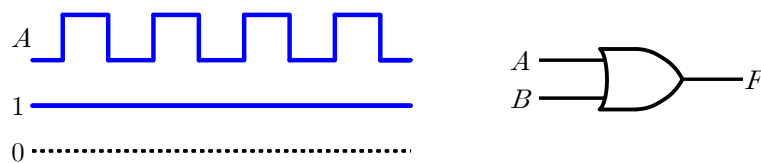
(c) 논리기호

그림 4.18 3입력 OR 게이트의 기본 개념

【예제 4.4】 2입력 OR 게이트의 한 입력 A에 구형파를 인가하였다. 다른 입력인 B에 0을 인가한 경우와 1을 인가한 경우 각각의 개략적인 출력파형을 그려라.



(a) 입력 B에 0을 인가한 경우



(b) 입력 B에 1을 인가한 경우

그림 4.19 OR 게이트의 동작 특성을 이해하기 위한 예

- (a) 입력 B에 0을 인가하면, 구간 1, 3, 5, 7에서 $A = 1, B = 0$ 이므로 출력 $F = 1$
 ⇒ 구간 2, 4, 6에서는 $A = 0, B = 0$ 이므로 출력 $F = 0, F = A$
- (b) 입력 B에 1을 인가하면, 구간 1, 3, 5, 7에서 $A = 1, B = 1$ 이므로 출력 $F = 1$
 ⇒ 구간 2, 4, 6에서는 $A = 0, B = 1$ 이므로 출력 $F = 1, F = B$

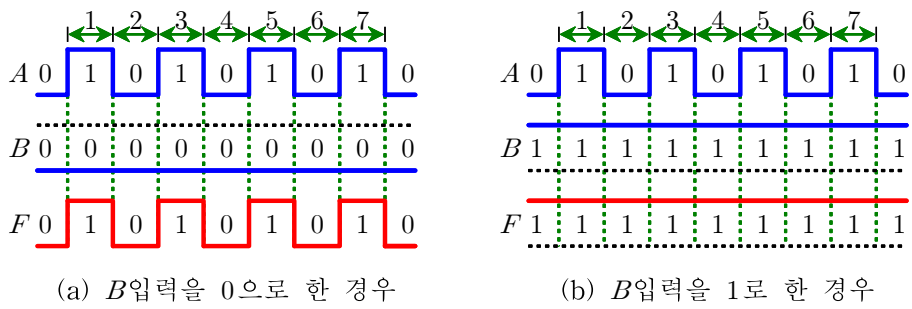


그림 4.20 OR 게이트의 동작 특성 결과

- 그림 4.21은 3입력 OR 게이트를 가정집의 침입 탐지시스템에 사용한 예를 표시
 - ⇒ 출입문 1개와 창문 2개가 있는 방에 적용하여 침입 상태를 감지
 - ⇒ 출입문이나 창문이 열리면 센서의 출력은 High, 닫혀 있으면 Low
- 출입문과 모든 창문이 닫혀 있을 때 OR 게이트의 입력은 모두 Low가 인가
 - ⇒ OR 게이트의 출력은 Low가 되므로 경보음이 미발생
- 출입문과 창문 중에서 어느 하나라도 열려 있으면 OR 게이트에 High가 입력
 - ⇒ 3입력 OR 게이트의 출력은 High가 발생
 - ⇒ 경보회로가 작동되어 침입을 알리는 경보음이 발생

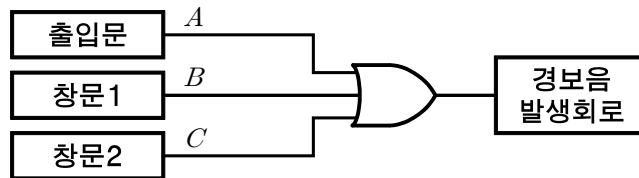


그림 4.21 OR 게이트를 이용한 침입 탐지 시스템

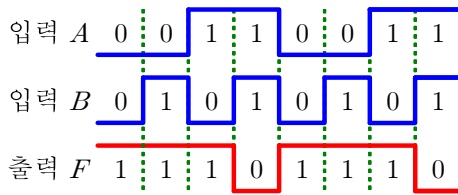
4.5 NAND 게이트

- 모든 입력이 1인 경우에만 출력이 0이고 그렇지 않으면 출력이 1인 게이트
 ⇒ NAND 게이트의 출력에 대한 논리식은 $F = \overline{AB} = (AB)'$ 로 표시
 ⇒ NOT+AND의 의미로 AND와 NOT이 종속 접속된 동작을 수행
- 그림 4.22는 2입력 NAND의 진리표, 동작파형, 논리기호, IC 7400 칩을 표시

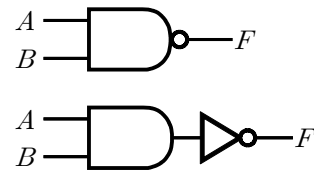
입력		출력
A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

$F = (AB)'$

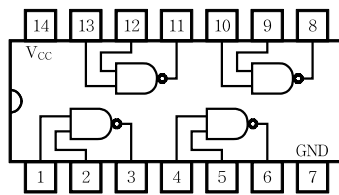
(a) 진리표



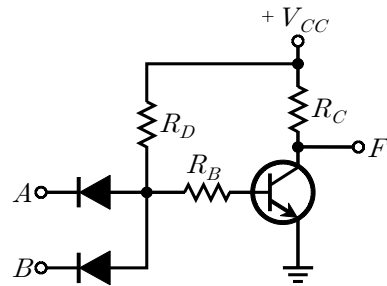
(b) 동작파형



(c) 논리기호



(d) IC 7400 핀 배치도



(e) 트랜지스터 회로

그림 4.22 2입력 NAND 게이트의 기본 개념

【예제 4.5】 3입력 NAND 게이트의 입력에 그림 4.24와 같은 파형이 입력될 때 출력 F의 파형을 그려라.

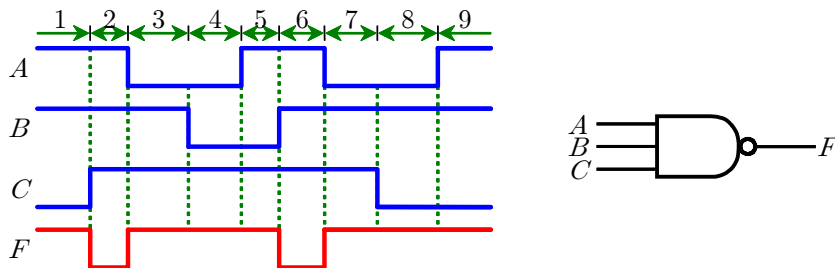


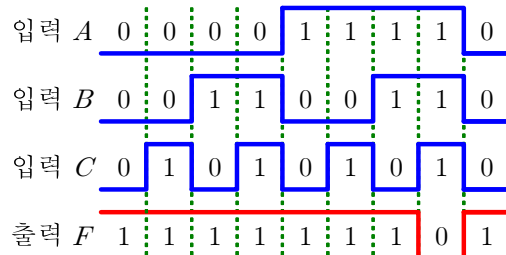
그림 4.24 3입력 NAND 게이트의 입출력파형 예

- 그림 4.23은 3입력 NAND의 진리표, 동작파형, 논리기호, IC 7410 칩을 표시

입력			출력
A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

$$F = (ABC)'$$

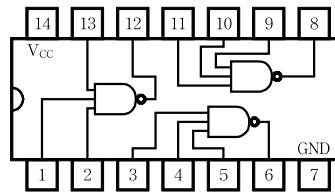
(a) 진리표



(b) 동작파형



(c) 논리기호



(d) IC 7410 핀 배치도

그림 4.23 3입력 NAND 게이트의 기본 개념

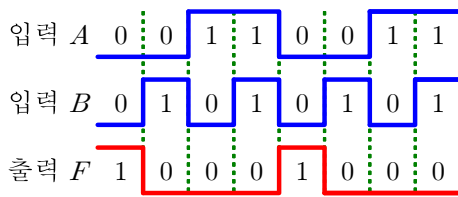
4.6 NOR 게이트

- 모든 입력이 0인 경우에만 출력이 1이고 그렇지 않으면 출력이 0인 게이트
 ⇒ NOR 게이트의 출력에 대한 논리식은 $F = \overline{A+B} = (A+B)'$ 로 표시
 ⇒ NOT+OR의 의미로 OR와 NOT이 종속 접속된 동작을 수행
- 그림 4.25는 2입력 NOR의 진리표, 동작파형, 논리기호, IC 7402 칩을 표시

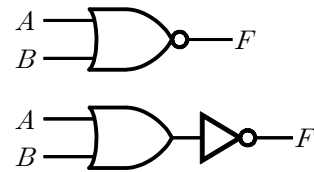
입력		출력
A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

$F = (A + B)'$

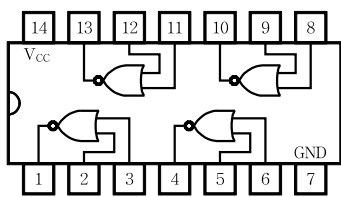
(a) 진리표



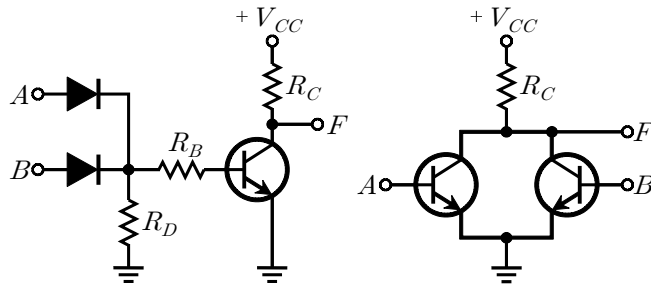
(b) 동작파형



(c) 논리기호



(d) IC 7402 핀 배치도



(e) 트랜지스터 회로

그림 4.25 2입력 NOR 게이트의 기본 개념

【예제 4.6】 3입력 NOR 게이트의 입력에 그림 4.27과 같은 파형이 입력될 때 출력 F의 파형을 그려라.

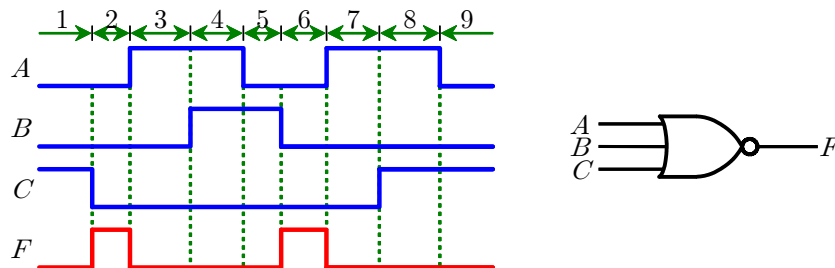


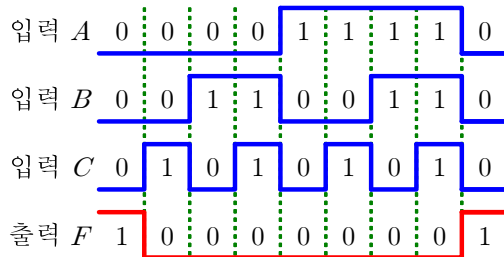
그림 4.27 3입력 NAND 게이트의 입출력파형 예

- 그림 4.26은 3입력 NOR의 진리표, 동작파형, 논리기호, IC 7427 칩을 표시

입력			출력
A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

$$F = (A + B + C)'$$

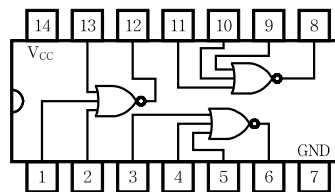
(a) 진리표



(b) 동작파형



(c) 논리기호



(d) IC 7427 핀 배치도

그림 4.26 3입력 NOR 게이트의 기본 개념

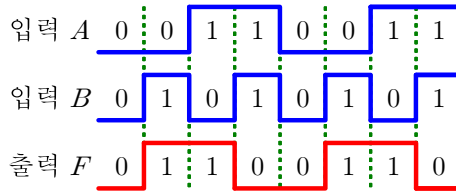
4.7 XOR 게이트

- XOR 게이트는 홀수 개의 입력이 1이면 출력은 1, 그렇지 않으면 출력은 0
 ⇒ 2입력의 경우 두 입력이 다르면 출력은 1, 같으면 출력은 0
- 그림 4.28은 2입력 XOR의 진리표, 동작파형, 논리기호, IC 7486 칩을 표시

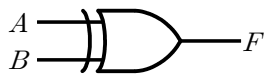
입력		출력
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

$F = A \oplus B$

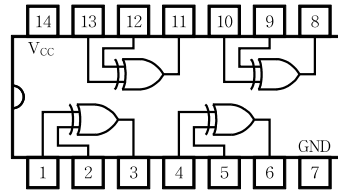
(a) 진리표



(b) 동작파형



(c) 논리기호



(d) IC 7486 핀 배치도

그림 4.28 2입력 XOR 게이트의 기본 개념

- XOR(exclusive OR) 게이트의 출력에 대한 불대수식(논리식)은 식 (4.1)로 표시
 ⇒ 불대수식을 AND, OR, NOT 게이트로 표현하면 그림 4.29로 표시

$$F = A \oplus B = \bar{A}B + A\bar{B} = A'B + AB' \tag{4.1}$$

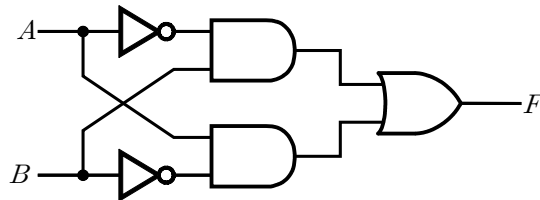


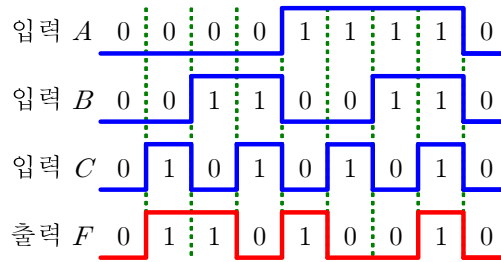
그림 4.29 XOR 게이트의 AND-OR 표현

- 그림 4.30은 3입력 XOR 게이트의 진리표, 동작파형, 논리기호를 표시

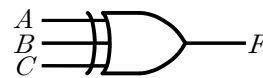
입력			출력
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

$$F = A \oplus B \oplus C$$

(a) 진리표



(b) 동작파형

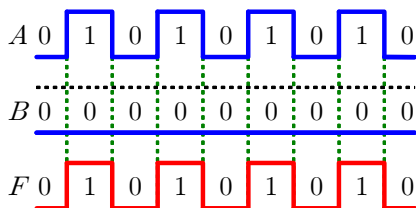


(c) 논리기호

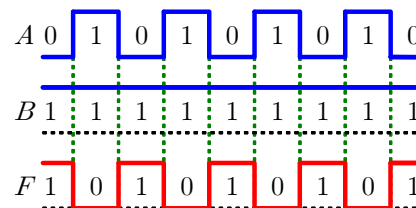
그림 4.30 3입력 XOR 게이트의 기본 개념

【예제 4.7】 2입력 XOR 게이트의 한 입력 A에 구형파를 인가하였다. 다른 입력인 B에 0을 인가한 경우와 1을 인가한 경우 각각의 개략적인 출력파형을 그려라.

- 그림 4.31(a)와 같이 입력 B에 0을 인가한 경우, $AB=00$ 이면 $F=0$
 $\Rightarrow AB=10$ 이면 $F=1$ 이므로 $F=A$
- 그림 4.31(b)와 같이 입력 B에 1을 인가한 경우, $AB=01$ 이면 $F=1$
 $\Rightarrow AB=11$ 이면 $F=0$ 이므로 $F=A'$



(a) B입력을 0으로 한 경우



(b) B입력을 1로 한 경우

그림 4.31 2입력 XOR 게이트의 동작 특성을 이해하기 위한 예

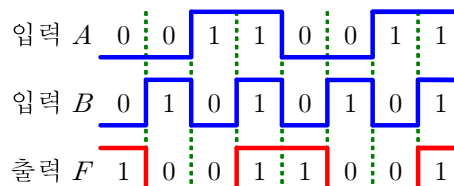
4.8 XNOR 게이트

- XOR 게이트에 NOT 게이트를 종속 접속한 것처럼 XOR 게이트와 반대 특성
 ⇒ 2입력의 경우 두 입력이 같으면 출력은 1, 다르면 출력은 0
 ⇒ 짝수 개의 입력이 1이면 출력은 1, 그렇지 않으면 출력은 0
- 그림 4.32는 2입력 XNOR의 진리표, 동작파형, 논리기호, IC 74266 칩을 표시

입력		출력
A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

$$F = (A \oplus B)'$$

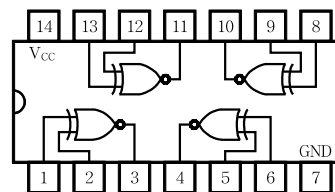
(a) 진리표



(b) 동작파형



(c) 논리기호

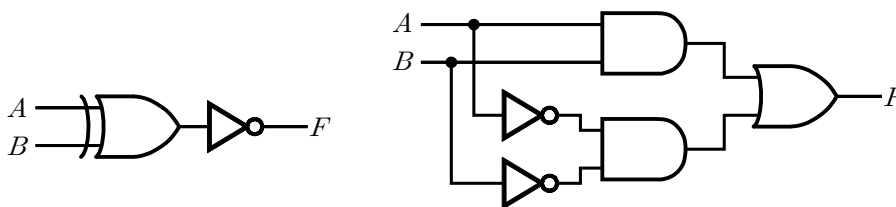


(d) IC 74266 핀 배치도

그림 4.32 2입력 XNOR 게이트의 기본 개념

- XNOR(exclusive NOR) 게이트의 출력에 대한 불대수식은 식 (4.2)로 표시
 ⇒ XOR, NOT 또는 AND, OR, NOT으로 표현하면 그림 4.33으로 표시

$$F = A \odot B = \overline{A \oplus B} = \overline{A\overline{B} + \overline{A}B} = A'B' + AB \tag{4.2}$$



(a) XOR-NOT 표현

(b) AND-OR 표현

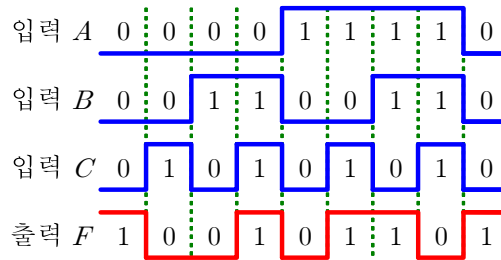
그림 4.33 XNOR 게이트의 표현 방법

- 그림 4.34은 3입력 XNOR 게이트의 진리표, 동작파형, 논리기호를 표시

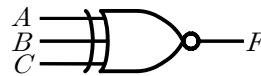
입력			출력
A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

$$F = (A \oplus B \oplus C)'$$

(a) 진리표



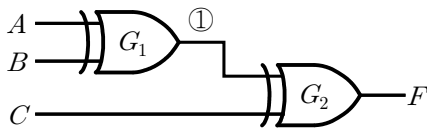
(b) 동작파형



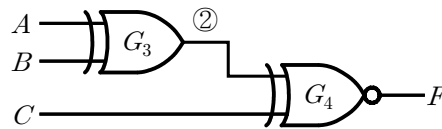
(c) 논리기호

그림 4.34 3입력 XNOR 게이트의 기본 개념

【예제 4.8】 그림 4.35(a)는 2입력 XOR 게이트 2개를 사용하여 3입력 XOR 게이트를 구성한 경우인데, 이를 진리표를 이용하여 확인하여야. 또한 그림 4.35(b)는 2입력 XOR 게이트와 2입력 XNOR 게이트를 각각 1개씩 사용하여 3입력 XNOR 게이트를 구성한 경우이다. 이를 진리표를 이용하여 확인하여야.



(a) 3입력 XOR 게이트로 동작



(b) 3입력 XNOR 게이트로 동작

그림 4.35 2입력 게이트를 사용한 3입력 XOR와 XNOR 게이트 구현

입력			출력	
A	B	C	①	F
0	0	0	0	0
0	0	1	0	1
0	1	0	1	1
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	1

그림 4.35(a)의 진리표

입력			출력	
A	B	C	②	F
0	0	0	0	1
0	0	1	0	0
0	1	0	1	0
0	1	1	1	1
1	0	0	1	0
1	0	1	1	1
1	1	0	0	1
1	1	1	0	0

그림 4.35(b)의 진리표

4.9 게이트의 전기적 특성

- IC는 재료에 따라 특성이나 기능이 결정, BJT를 사용한 소자는 TTL과 ECL
 - ⇒ TTL(transistor-transistor logic), ECL(emitter-coupled logic)
- 전계효과 트랜지스터 FET를 사용한 PMOS(P-type metal oxide semiconductor)
 - ⇒ NMOS(N-type), CMOS(complementary metal oxide semiconductor)

◎ 전파지연시간(Gate Propagation Delay Time)

- 신호가 입력되고 출력될 때까지의 시간을 나타내며, 게이트의 동작속도를 표시
 - ⇒ 출력이 0에서 1로 변할 때 t_{PLH} , 출력이 1에서 0로 변할 때 t_{PHL}
 - ⇒ t_{PLH} 과 t_{PHL} 은 입력의 50%부터 출력의 50%가 될 때까지 측정
 - ⇒ 그림 4.36은 전파지연시간의 개념도를 표시

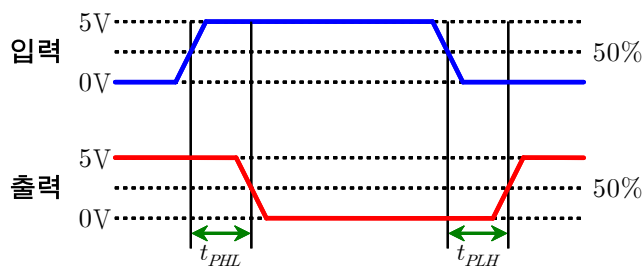


그림 4.36 전파지연시간

표 4.1 주요 디지털 IC 계열별 특성표

	t_{PHL} (max)	t_{PLH} (max)	V_{OH} (min)	V_{OL} (max)	V_{IH} (min)	V_{IL} (max)	I_{OH} (max)	I_{OL} (max)	I_{IH} (max)	I_{IL} (max)
7400	22	15	2.4	0.4	2	0.8	-0.4	16	40	-1.6
74S00	4.5	5	2.7	0.5	2	0.8	-1	20	50	-2
74LS00	15	15	2.7	0.4	2	0.8	-0.4	8	20	-0.4
74ALS00	11	8	3	0.4	2	0.8	-0.4	8	20	-0.1
74F00	5	4.3	2.5	0.5	2	0.8	-1	20	20	-0.6
74HC00	23	23	3.84	0.33	3.15	0.9	-4	4		
74AC00	8	6.5	4.4	0.1	3.15	1.35	-75	75		
74ACT00	9	7	4.4	0.1	2	0.8	-75	75		

- t_{PHL} : High → Low로 변할 때 전파지연
- V_{OH} : 논리레벨이 High일 때 출력전압
- V_{IH} : 논리레벨이 High일 때 입력전압
- $I_{OH}, I_{OL}, I_{IH}, I_{IL}$: 위와 같을 때 전류

- t_{PLH} : Low → High로 변할 때 전파지연
- V_{OL} : 논리레벨이 Low일 때 출력전압
- V_{IL} : 논리레벨이 Low일 때 입력전압

【예제 4.9】 게이트 X 의 t_{PHL} 은 5ns이며, t_{PLH} 은 4.5ns이다. 게이트 Y 의 t_{PHL} 은 8ns이며, t_{PLH} 은 7.5ns이다. 각 게이트의 전파지연시간을 계산하고, 어느 게이트가 더 높은 주파수에서 동작하는지 설명하여라.

$$\text{게이트 } X \text{의 전파지연시간} : t_{PHL} + t_{PLH} = 5\text{ns} + 4.5\text{ns} = 9.5\text{ns}$$

$$\text{게이트 } Y \text{의 전파지연시간} : t_{PHL} + t_{PLH} = 8\text{ns} + 7.5\text{ns} = 15.5\text{ns}$$

- 최대 주파수는 전파지연시간의 역수이므로 게이트 X 가 높은 주파수에서 동작

$$\text{게이트 } X \text{의 최대 동작 주파수} : 1/9.5\text{ns} = 105.26\text{MHz}$$

$$\text{게이트 } Y \text{의 최대 동작 주파수} : 1/15.5\text{ns} = 64.52\text{MHz}$$

◎ 전력소모(Power Dissipation)

- 논리장치의 전력소모는 공급전압 V_{CC} 과 전류 I_{CC} 의 곱 $P_{CC} = V_{CC}I_{CC}$ 로 표시
 - ⇒ 공급전압과 공급전류는 각 제조사와 IC의 특성에 따라 상이
- TTL 계열에서 (+)전원은 V_{CC} (collector), (-)전원은 V_{EE} (emitter)로 표시
 - ⇒ FET 기반 MOS IC에서는 V_{DD} (drain)와 V_{SS} (source)로 표시

【예제 4.10】 어떤 논리게이트가 +5V DC전압에서 동작하며 평균 4mA의 전류가 흐른다면 전력소모는 얼마인가?

$$P_{CC} = V_{CC}I_{CC} = 5 \times (4 \times 10^{-3}) = 20 \times 10^{-3} [\text{W}] = 20 [\text{mW}]$$

◎ 잡음 여유도(Noise Margin)

- 디지털 회로의 데이터 값에 변경을 주지 않는 범위에서 최대 허용 잡음 마진
 - ⇒ 출력과 입력 사이에 존재하는 식별 전압의 차이값을 의미
 - ⇒ 입력신호에 어느 정도의 잡음이 있는 경우에도 식별 가능
- 잡음 면역은 논리회로에서 입력전압의 잡음을 견뎌낼 수 있는 회로의 능력
 - ⇒ 잡음 면역의 정도가 잡음 여유도

- 그림 4.37과 4.38에서 High 레벨의 잡음 여유도는 $V_{NH} = V_{OH(\min)} - V_{IH(\min)}$
 \Rightarrow Low 레벨의 잡음 여유도는 $V_{NL} = V_{IL(\max)} - V_{OL(\max)}$

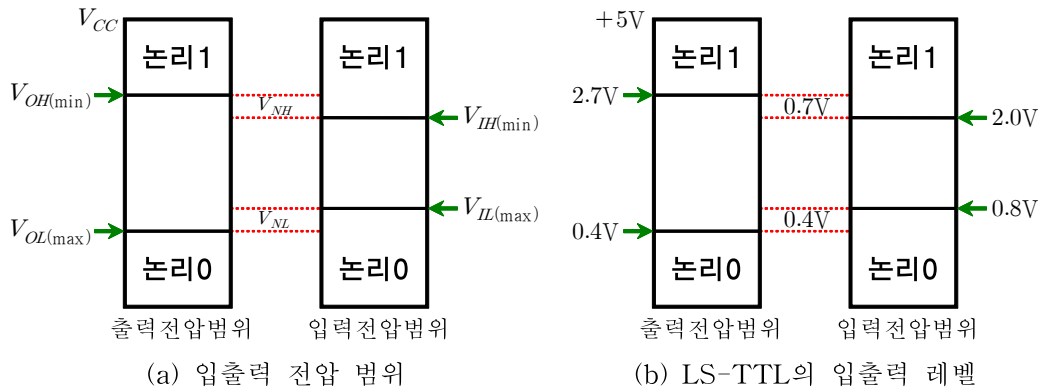


그림 4.37 잡음 여유도(Noise Margin)

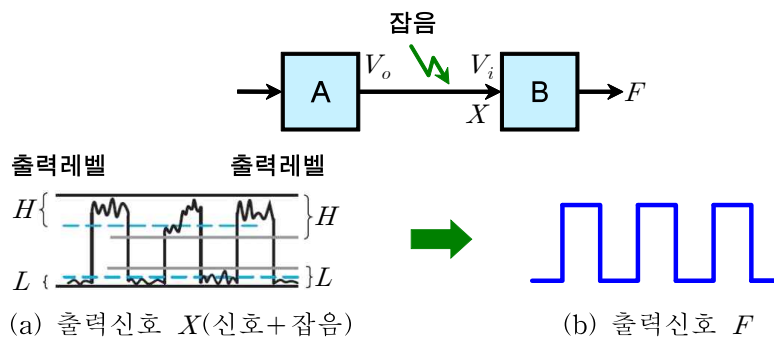


그림 4.38 TTL IC 잡음 특성

【예제 4.11】 주어진 파라미터를 이용하여 74LS 계열 IC의 잡음 여유도를 계산하여라.

표 4.2 74LS 계열 파라미터

파라미터	값
$V_{IH(\min)}$	2.0V
$V_{IL(\max)}$	0.8V
$V_{OH(\min)}$	2.7V
$V_{OL(\max)}$	0.4V

Low 레벨의 잡음 여유도 : $V_{NL} = V_{IL(\max)} - V_{OL(\max)} = 0.8 - 0.4 = 0.4[V]$

High 레벨의 잡음 여유도 : $V_{NH} = V_{OH(\min)} - V_{IH(\min)} = 2.7 - 2.0 = 0.7[V]$



【예제 4.12】 표 4.3에는 3가지 종류의 게이트에 대한 전압 파라미터가 표시되어 있다. 잡음이 많은 산업 환경에서 사용할 수 있는 최선의 게이트를 선택하여야.

표 4.3 3가지 종류의 게이트에 대한 전압 파라미터

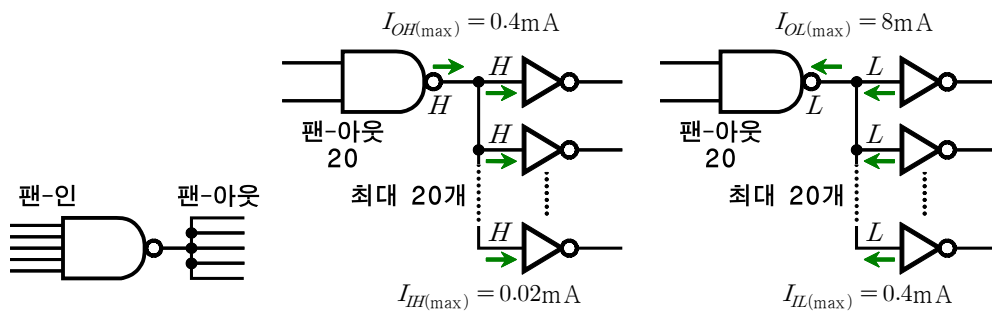
게이트 종류	$V_{OH(min)}$	$V_{OL(max)}$	$V_{IH(min)}$	$V_{IL(max)}$
게이트 A	2.4V	0.4V	2.0V	0.8V
게이트 B	3.5V	0.2V	2.5V	0.6V
게이트 C	4.2V	0.2V	3.2V	0.8V

게이트 A	<ul style="list-style-type: none"> • Low 레벨의 잡음여유도 : $V_{NL} = V_{IL(max)} - V_{OL(max)} = 0.8 - 0.4 = 0.4V$ • High 레벨의 잡음여유도 : $V_{NH} = V_{OH(min)} - V_{IN(min)} = 2.7 - 2.0 = 0.7V$
게이트 B	<ul style="list-style-type: none"> • Low 레벨의 잡음여유도 : $V_{NL} = V_{IL(max)} - V_{OL(max)} = 0.6 - 0.2 = 0.4V$ • High 레벨의 잡음여유도 : $V_{NH} = V_{OH(min)} - V_{IN(min)} = 3.5 - 2.5 = 1.0V$
게이트 C	<ul style="list-style-type: none"> • Low 레벨의 잡음여유도 : $V_{NL} = V_{IL(max)} - V_{OL(max)} = 0.8 - 0.2 = 0.6V$ • High 레벨의 잡음여유도 : $V_{NH} = V_{OH(min)} - V_{IN(min)} = 4.2 - 3.2 = 1.0V$

- 게이트 C가 Low 레벨과 High 레벨에서 잡음여유도가 가장 대
 ⇒ 잡음이 많은 산업 현장에서는 게이트 C가 가장 적합

◎ 팬-인(Fan-in)과 팬-아웃(Fan-out)

- 팬-인은 한 개의 게이트 입력에 접속할 수 있는 최대 입력단의 수를 의미
 ⇒ TTL NAND 게이트의 경우 입력 개수가 2, 3, 4, 8개
- 팬-아웃은 정상적으로 한 출력이 최대 몇 개의 입력으로 연결되는가를 표시
 ⇒ 한 게이트의 출력에서 다른 여러 개의 입력으로 공급되는 전류



(a) 팬-인과 팬-아웃 (b) 출력이 High 레벨 (c) 출력이 Low 레벨

그림 4.39 LS-TTL의 팬-아웃

【예제 4.13】 표 4.1을 참조하여 74F00의 팬-아웃을 계산하여라.

$$\frac{I_{OH(max)}}{I_{IH(max)}} = \frac{1mA}{20\mu A} = \frac{1mA}{0.02mA} = 50 \text{ 개} : \text{High 레벨인 경우}$$

$$\frac{I_{OL(max)}}{I_{IL(max)}} = \frac{20mA}{0.6mA} = 33 \text{ 개} : \text{Low 레벨인 경우 (선택)}$$

◎ 싱크전류와 소스전류

- 칩의 출력과 (+)전원 사이에 소자를 연결하여 칩의 출력이 Low일 때 동작
 ⇒ 싱크전류(sink current)는 칩의 출력단으로 유입되는 전류
- 칩의 출력과 접지(-) 사이에 소자를 연결하여 칩의 출력이 High일 때 동작
 ⇒ 소스전류(source current)는 칩의 출력단에서 유출되는 전류

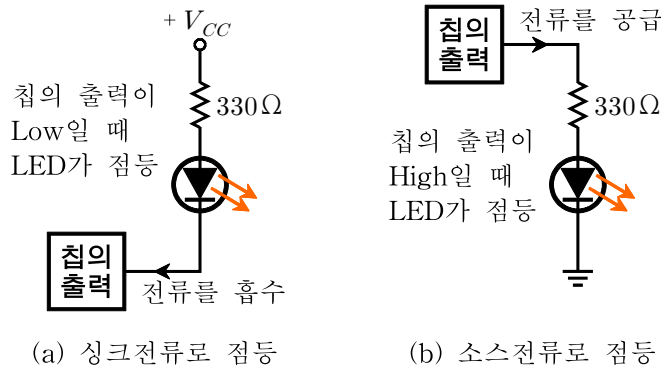


그림 4.40 싱크전류와 소스전류

- 대부분 싱크전류는 16mA까지 사용 가능, 소스전류는 0.25mA이하로 사용 가능
 ⇒ LED를 점등하기 위해서는 2~4V의 전압, 20mA의 전류가 필요
 ⇒ 74계열에서 LED를 점등하기 위해서는 싱크전류를 이용
- 높은 팬-아웃 IC를 LSI 출력에 접속하려면 74LS06, 74LS07과 같은 버퍼 사용
 ⇒ 싱크전류를 40mA까지 허용, 0.25mA의 소스전류를 공급

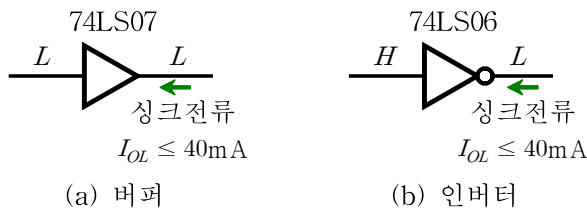
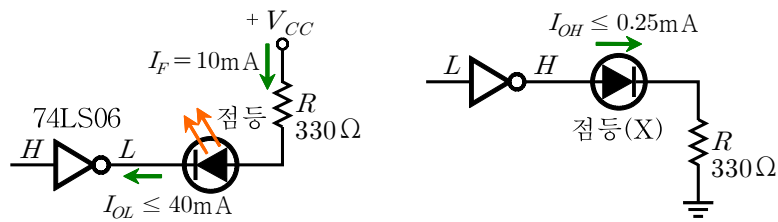


그림 4.41 버퍼와 인버터에서의 싱크전류

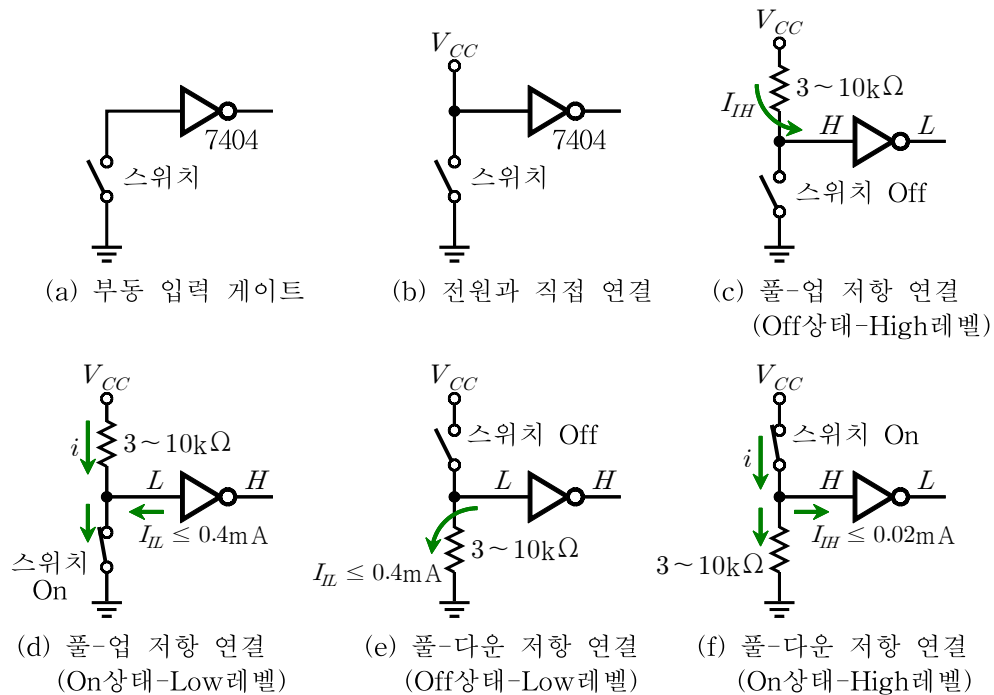


(a) 싱크전류로 점등 (b) 소스전류로는 점등(X)

그림 4.42 TTL IC에서 싱크전류 및 소스전류 사용

◎ 풀-업 저항과 풀-다운 저항

- 풀-업 저항과 풀-다운 저항은 가지 여러 입력으로부터 안전한 동작을 보장
 - ⇒ 풀-업 저항은 전원 쪽에 연결, 풀-다운 저항은 접지 쪽에 연결
- 그림 4.43(a)의 경우 스위치가 닫히면 NOT 게이트에 정상적으로 0이 입력
 - ⇒ 스위치가 떨어져 있으면 고저항이 걸려 전원의 연결이 부동 상태
 - ⇒ 정상적인 동작이 이루어지지 않고 회로 전체가 불안정한 상태
- 그림 4.43(b)와 같이 게이트의 입력을 전원과 직접 연결할 때 게이트가 On상태
 - ⇒ 스위치가 On 상태가 되면 전원과 접지가 직접 연결되어 단락 상태
- 그림 4.43(c)~(f)와 같이 풀-업 또는 풀-다운 저항을 사용하여 문제 해결 가능



(a) 부동 입력 게이트 (b) 전원과 직접 연결 (c) 풀-업 저항 연결 (Off상태-High레벨)
 (d) 풀-업 저항 연결 (On상태-Low레벨) (e) 풀-다운 저항 연결 (Off상태-Low레벨) (f) 풀-다운 저항 연결 (On상태-High레벨)

그림 4.43 풀-업 저항과 풀-다운 저항